

Conception et simulation virtuelle d'un filtre numérique parallèle à réponse impulsionnelle infini pour convertisseur A/N à modulateur en rapport cyclique

[Design and virtual simulation of a parallel digital infinite impulse response filter for duty cycle modulation A/D converters]

Dang Zomo, Gamom Ngounou Ewo Roland Christian, and Mbihi Jean

Laboratoire de Génie Informatique et Automatique, Université de Douala, Cameroon

Copyright © 2021 ISSR Journals. This is an open access article distributed under the *Creative Commons Attribution License*, which permits unrestricted use, distribution, and reproduction in any medium, provided the original work is properly cited.

ABSTRACT: This work focuses on the structure of the duty cycle modulator analog-to-digital converter. We propose to model again its complete chain, this time by parallelizing its demodulator filter. More specifically, we want to optimize the performance of this type of converter that no longer needs to make this proof in the field of real-time digital conversion. Thus, we will thanks to the so-called residue method, make parallel the classic demodulation filter and thereby obtain a new conversion chain. Following up with software tools such as MATLAB; System Generator and ISE Xilinx, we implement and simulate this new analog/digital converter chain with duty cycle modulator. After this implementation and simulation which uses as input signal, a sinusoid at a frequency of $f = 30\text{Hz}$, the results obtained show us that it is more judicious and advantageous to use this new conversion chain because with a quadratic error $E = 0.8208$, we do not lose the quality of the signal but we save in hardware resources; with a harmonic distortion rate $\text{THD} = 0.6099$, we have a type of converter that further reduces harmonics, and offers us a demodulation time saving of about 76,2%.

KEYWORDS: Numeric filter; oversampling; parallelization residues; demodulation; duty cycle.

RESUME: Ce travail est axé sur la structure du convertisseur analogique/numérique à modulateur en rapport cyclique. Nous nous proposons de modéliser à nouveau sa chaîne complète, en parallélisant cette fois-ci son filtre démodulateur. Plus précisément, nous voulons optimiser les performances de ce type de convertisseur qui n'a plus besoin de faire ces preuves dans le domaine de la conversion numérique temps réel. Ainsi, nous allons grâce à la méthode dite des résidus, rendre parallèle le filtre classique de démodulation et par là obtenir une nouvelle chaîne de conversion. En suite avec les outils logiciels tels que MATLAB; System Generator et ISE Xilinx, nous implémentons et simulons cette nouvelle chaîne de convertisseur analogique/numérique à modulateur en rapport cyclique. Après cette implémentation et simulation qui utilise comme signal d'entrée, une sinusoïde à une fréquence de $f = 30\text{Hz}$, les résultats obtenus nous montres qu'il est plus judicieux et avantageux d'utiliser cette nouvelle chaîne de conversion car avec une erreur quadratique $E = 0.8208$, nous ne perdons pas la qualité du signal mais nous économisons en ressources matérielles; avec un taux de distorsion harmonique $\text{THD} = 0.6099$, nous avons un type de convertisseur qui réduit d'avantage les harmoniques, et nous offre un gain de temps de démodulation d'environ 76,2%.

MOTS-CLEFS: Filtre numérique parallèle; Réponse impulsionnelle infini; Convertisseur Analogique/Numérique; Modulation en rapport cyclique; Méthode des résidus; ISE Xilinx suréchantillonnage.

1 INTRODUCTION

Le CAN (convertisseur A/N) est un composant indispensable dans une chaîne de traitement à l'aide de processeurs car il permet de numériser l'information qui est disponible dans l'environnement sous une forme analogique. Dans un monde qui se veut de plus en plus technologique, la manipulation numérique des données est de mise. Cela nous oblige de numériser le monde analogique qui nous entoure; mettant ainsi la conversion analogique/numérique au premier plan. Dès lors, les scientifiques se concentrent à concevoir des CAN (convertisseur A/N) de plus en plus performant. C'est dans cette optique que le Professeur MBIHI Jean et son équipe de recherche de l'université de Douala dans [1], conçoivent le modulateur en rapport cyclique, qui se positionne comme étant la meilleure alternative en ce qui concerne le domaine de la CAN par technique de suréchantillonnage. Celui-ci se positionne au premier plan de nos jours aux vu de ces performances temps réelles exposés dans la littérature.

Dans la suite de ce travail, nous rappelons le fonctionnement du convertisseur analogique/numérique à modulateur en rapport cyclique ensuite, nous implémentons la démodulation en utilisant un filtre démodulateur parallèle et en fin, nous comparons nos résultats à ceux de l'état de l'art.

2 MATERIEL ET METHODES

Nous présentons le fonctionnement du convertisseur à modulateur en rapport cyclique tel défini dans l'état de l'art. Puis, nous présentons aussi la méthode des résidus qui nous aide à paralléliser le filtre démodulateur du convertisseur à modulateur en rapport cyclique.

2.1 RAPPEL DU SCHEMA ARCHITECTURAL D'UN CAN-MRC

Le schéma architectural d'un CAN-MRC initié dans la référence [2] est présenté dans la figure 1. Cette architecture est celle la plus simple qu'on puisse envisager dans la classe des CANs à sur-échantillonnage.

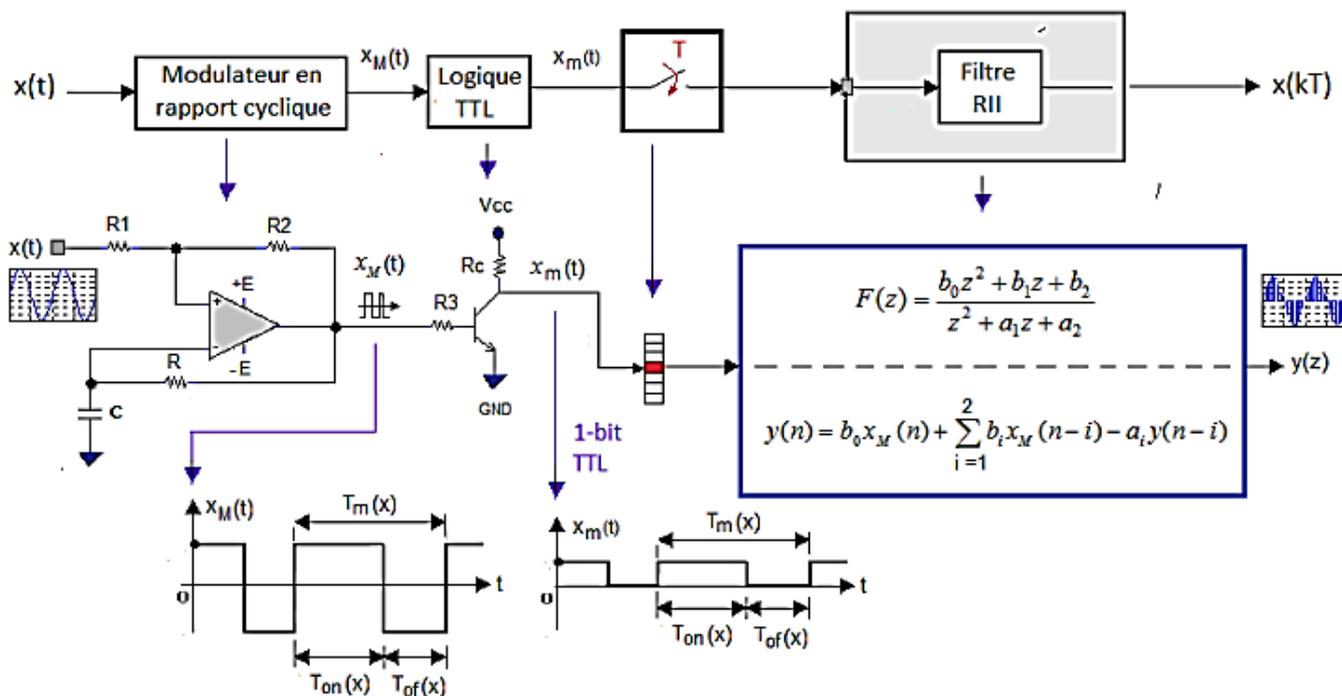


Fig. 1. Schéma représentant le circuit électronique du modulateur en rapport cyclique [2]

La figure 1 présente le circuit électronique du modulateur en rapport cyclique. Ses modules constitutifs (MRC, conformateur en logique TTL, filtre numérique RII) ont été modélisés analytiquement et bien testés expérimentalement avec succès dans plusieurs références [3], [4], [5].

2.2 PRINCIPE DE LA CAN-MRC

Le terme le plus évocateur dans les CANS-MRC, est la modulation en rapport cyclique. Dans [2], la modulation en rapport cyclique est définie comme un système de modulation basé sur un oscillateur de relaxation et qui emploie le sur-échantillonnage pour acquérir un signal avec une haute résolution, sous forme d'une série de plusieurs bits (bitstream). Elle consiste à moduler un signal analogique présent à son entrée grâce à deux caractéristiques importantes à savoir:

- Une période de modulation : $T_m(x)$;
- Un rapport cyclique :

$$R_m(x) = \frac{T_{on}(x)}{T_m(x)} \quad (1)$$

La fréquence de base d'oscillations est donnée par l'équation suivante:

$$f_{osc} = \frac{1}{2RC} \ln \left(1 + \frac{2R_2}{R_1} \right) \quad (2)$$

La fréquence d'échantillonnage est choisie telle que:

$$f_e \geq 2fB \quad (3)$$

Dans (3), fB est la bande fréquentielle du signal modulé $X_m(t)$, avec $fB \gg fb$ (bande fréquentielle du signal modulant). Donc, f_e définie par (3) est une fréquence de sur-échantillonnage comparée à la fréquence de Nyquist $2fb$. Dans ces conditions, le rapport de sur-échantillonnage est fB/fb . Un autre phénomène observé est que, l'erreur est réinjectée dans le filtre intégrateur que comporte le modulateur, ce qui permet en effet de repousser vers les hautes fréquences, les bruits (harmoniques) générés dans ce type de modulation.

Puisque le modulateur convertit le signal analogique présent à son entrée en une série de 1bit (bitstream), [4] nous montre qu'on lui associe un transistor TTL devant envoyé à la sortie des ordres de commande de 1bit; et enfin, un simple filtre numérique passe bas de second ordre permet de démoduler le signal modulé et de recouvrer le signal numérique du signal analogique de départ. On effectue ainsi une conversion analogique/numérique.

2.3 DEMODULATION DANS LES CANS-MRC

Les CANS-MRC aujourd'hui, touchent plusieurs domaines dans les sciences de l'ingénieur. Notamment dans l'acquisition des signaux s'appliquant à la médecine moderne comme dans [6], [7]; dans le domaine de l'instrumentation embarquée [8], [9], [10]; dans l'électronique de puissance et bien d'autres [11], [12]; et même dans la CNA (conversion numérique/analogique) [13], [14].

Dans la chaîne de conversion, [5] nous montre que, la démodulation se réalise à partir d'un filtre numérique à réponse impulsionnelle infinie programmé dans un processeur numérique; il permet de recouvrer le signal numérique qui a été modulé.

Ce filtre démodulateur, est un filtre numérique série passe bas récursif retrouvé par la discrétisation d'un filtre analogique de second ordre par la méthode de TUSTIN ou transformation bilinéaire. Ce filtre de démodulation est donné par l'expression (5) qui est tirée de [15]:

$$\begin{cases} y_j(0) = b_0 x_j(0) \\ y_j(1) = b_0 x_j(1) + b_1 x_j(0) - a_1 y_j(0) \\ y_j(k \geq 2) = b_0 x_j(k) + b_1 x_j(k-1) + b_2 x_j(k-2) - a_1 y_j(k-1) - a_2 y_j(k-2) \end{cases} \quad (5)$$

Ce filtre est tel que les paramètres analogiques sont les suivants:

$$K_j = 1,2764; \xi = 1,5726; w = 2096,3 \text{ rad/s}$$

La discrétisation par la méthode de TUSTIN sous MATLAB, pour une période d'échantillonnage,

$$T_e = \frac{1}{f_e} = \frac{1}{160000} = 6.2510^{-6} \text{ s} \quad (6)$$

nous donne l'expression suivante de la fonction de transfert de notre filtre numérique:

$$H(Z) = \frac{0,00005367+0,0001073Z^{-1}+0,00005367Z^{-2}}{1-1,959Z^{-1}+0,9596Z^{-2}} \quad (7)$$

$$y(n) = 0,00005367x(n) + 0,0001073x(n - 1) + 0,00005367x(n - 2) + 1,959y(n - 1) - 0,959y(n - 2) \quad (8)$$

2.4 SIMULATION SOUS MATLAB DU CAN A MRC

Tableau 1. Tableau des paramètres optimaux du MRC pour la simulation [15]

N°	Sous système	Données	Paramètres
01	Signaux	Sinusoïdale	8V. 80Hz
		Carré	7V. 30Hz
		Dent de scie	7V. 50Hz
		Carrée	6V. 90Hz
02	Modulation	α_{1f}	0,1
		α_{2f}	0,2
		1/RC	4000
		E	9
03	Filtre numérique	b_0	0,00005367
		b_1	0,0001073
		b_2	0,00005367
		a_1	1,959
		a_2	-0,9596

Le tableau 1 nous donne les valeurs numériques de l'équation (8) pour simuler et observer le comportement de ce filtre démodulateur.

Dans la littérature, [16] nous montre que la simplicité du CAN à MRC et le besoin d'améliorer les performances de la modulation en rapport cyclique, ont conduit les chercheurs à envisager la conversion simultanée de plusieurs signaux. Ceci leur a permis de développer trois grands types d'architecture à savoir:

- Une première architecture basée sur un multiplexeur qui acquiert les différents signaux et les transfère à un CAN unique;
- Une seconde architecture basée sur la mise en parallèle de plusieurs CAN pour chaque signal à convertir;
- Et, une troisième architecture basée sur la mise en parallèle de plusieurs CAN et d'un multiplexeur récupérant les signaux à la sortie des différents CAN.

Toutes ces architectures présentent certes l'avantage de convertir directement le signal sur n-bit prêt à être traité par un processeur. Cependant, elles présentent des inconvénients de complexité d'implantation matérielle et de logique de contrôle des multiplexeurs.

Pour remédier à ce dernier inconvénient, les spécialistes de la conversion analogique/numérique à modulateur en rapport cyclique ont développé et proposé une autre architecture basée sur la mise en parallèle de plusieurs p-MRC pour l'acquisition et la modulation de chaque signal à convertir. Comme dans le cas d'un signal, la démodulation se fait aussi grâce à p-filtres numériques. [16] nous montre que les résultats sont encourageants car d'après les auteurs, il y a un gain en termes de temps de conversion de plus, il a été possible de traiter plusieurs signaux simultanément sans altérer la qualité du signal original.

Nous proposons dans ce travail, une autre méthode de mise en parallèle; il est question de rendre parallèles les opérations du filtre démodulateur de la chaîne de conversion.

2.5 METHODE DE PARALLELISATION D’UN FILTRE RII DE SECOND ORDRE

Selon [17], Pour obtenir une mise en œuvre parallèle d’un filtre RII récursif (voir figure 2), il faut décomposer sa fonction de transfert en sommes de fractions partielles. On utilisera une méthode analogue à celle proposée pour l’inversion de la transformée en z. De sorte que si $N \geq M$:

$$H(z) = C + \sum_{k=1}^N \frac{A_k}{1 - p_k z^{-1}} \tag{9}$$

Avec :

$$C = \frac{b_N}{a_N} \tag{10}$$

Dans ce cas, les termes p_k sont les pôles de $H(z)$ et A_k les résidus correspondants. En général, les pôles p_k sont complexes et il est préférable de regrouper les pôles conjugués pour obtenir une mise en œuvre qui ne met en jeu que des coefficients réels. Alors, les fractions partielles deviennent:

$$H(z) = \frac{b_{k_0} + b_{k_1} z^{-1}}{1 + a_{k_1} z^{-1} + a_{k_2} z^{-2}} \tag{11}$$

$$H(z) = C + \sum_{k=1}^{partie\ entière\left(\frac{N+1}{2}\right)} H_k(z) \tag{12}$$

Il est possible que certains coefficients soient nuls pour les pôles réels. La mise en œuvre se fait selon le schéma de la figure 2.

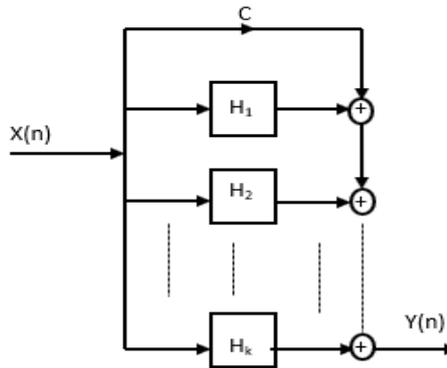


Fig. 2. Forme parallèle d’un filtre RII récursif [17]

La figure 2 montre la structure interne d’un filtre à réponse impulsionnel infini parallèle présenté par [17].

2.6 PARALLELISATION DU FILTRE DE DEMODULATION DU MODULATEUR EN RAPPORT CYCLIQUE

L’expression (7) représente la fonction de transfert de notre filtre démodulateur. C’est l’expression d’un traitement purement séquentiel et grâce à MATLAB nous allons utiliser la méthode des résidus pour obtenir son expression parallèle tel qu’illustré dans [17].

Ceci nous permet d’avoir la nouvelle expression en complexe de $H(z)$ qui est la suivante:

$$H(z) = \frac{1.0e-06 * (-0.3949 + 0.0002i)}{1 - (0.9996 + 0.0004i) z^{-1}} + \frac{1.0e-06 * (0.3949 - 0.0002i)}{1 - (0.9996 - 0.0004i) z^{-1}} \tag{13}$$

Cette procédure nous permet d’éviter plusieurs calculs intermédiaires ainsi nous optimisons le résultat et nous évitons des pertes d’information dues aux arrondies qui altèrent la sortie de notre filtre. Lorsque nous implémentons le nouveau filtre décrit par l’équation (13) dans MATLAB, en suivant les directives données dans [18], nous obtenons en sortie la démodulation du signal d’entrée.

2.6.1 DEVELOPPEMENTS MATHÉMATIQUES DE L'EXPRESSION NUMÉRIQUE DE LA FONCTION DE TRANSFERT DU FILTRE RII PARALLÈLE

Nous posons que l'équation (13) peut s'écrire sous la forme suivante:

$H(z) = H_1(z) + H_2(z)$ avec la forme du filtre numérique RII de second ordre comme dans [19];

Nous avons donc:

$$H_1(z) = \frac{1.0e-06*(-0.3949+0.0002i)}{1+(-0.9996+0.0004i)z^{-1}} \quad (14)$$

$$\text{et : } H_2(z) = \frac{1.0e-06*(0.3949-0.0002i)}{1+(-0.9996-0.0004i)z^{-1}} \quad (15)$$

Ainsi, nous pouvons retrouver la forme numérique de notre filtre RII parallèle en posant:

$$H_1(z) = \frac{Y_1(n)}{X_1(n)} = \frac{1.0e-06*(-0.3949+0.0002i)}{1+(-0.9996+0.0004i)z^{-1}} \rightarrow Y_1(n) = \frac{1.0e-06*(-0.3949+0.0002i)}{1+(-0.9996+0.0004i)z^{-1}} X_1(n) \quad (16)$$

On aura donc en définitive:

$$Y_1(n) = 1.0e-06 * (-0.3949 + 0.0002i)X_1(n) - (-0.9996 + 0.0004i)Y_1(n-1) \quad (17)$$

De même on aura:

$$Y_2(n) = 1.0e-06 * (0.3949 - 0.0002i)X_2(n) - (-0.9996 - 0.0004i)Y_2(n-1) \quad (18)$$

$$\text{Alors, on a: } Y(n) = Y_1(n) + Y_2(n) \quad (19)$$

représentant l'expression numérique du filtre RII parallèle d'ordre 2 du CAN-MRC.

2.6.2 MODELE SIMULINK SYSTEM GENERATOR DU CAN-MRC AVEC DEMODULATION PAR FILTRE RII PARALLÈLE

Nous avons réalisé la chaîne de conversion telle qu'illustrée sur la figure 3 avec un signal d'entrée de forme sinusoïdale. La figure 3 présente deux blocs distincts; le bloc modulateur à MRC sur la partie haute et le second bloc sur la partie basse est le filtre numérique RII parallèle de démodulation ayant à son entrée le signal MRC; et en sortie le signal numérique démodulé. Les composants « In » et « Out » permettent de faire l'interface entre les signaux issus des blocksets Simulink et les blocksets System Generator.

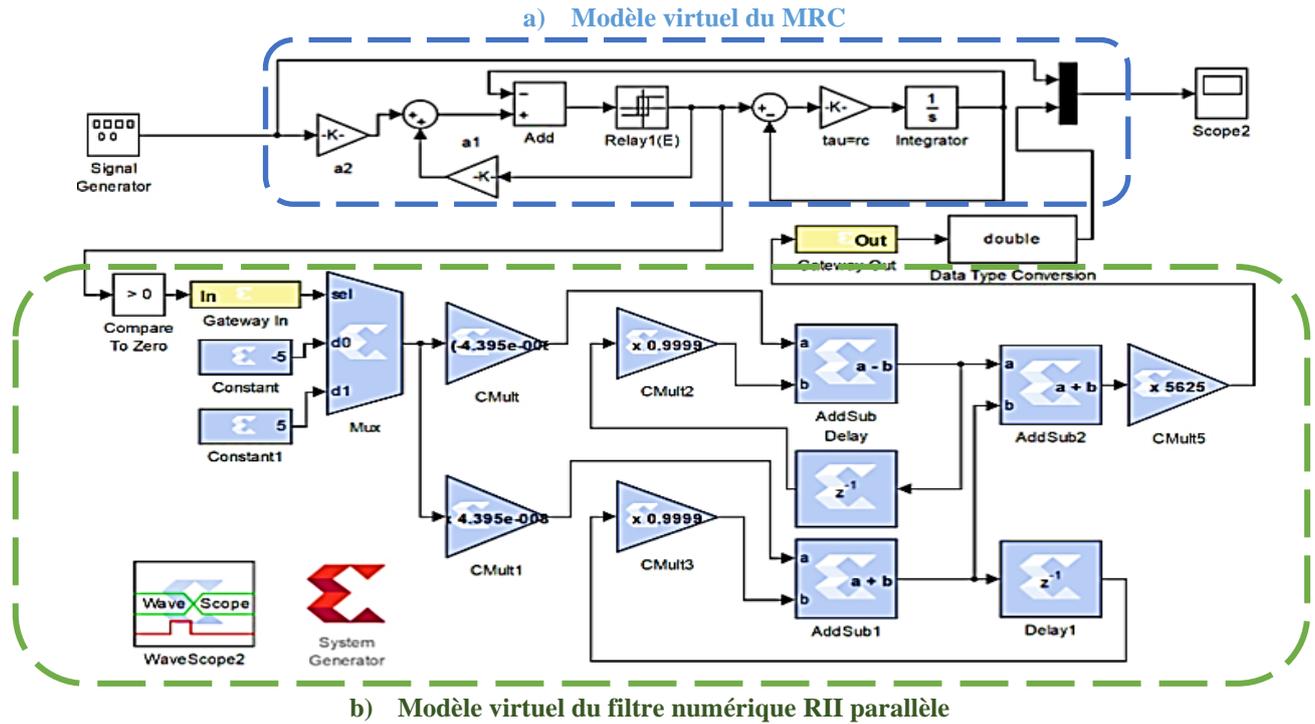


Fig. 3. Modélisation sous System Generator du modulateur MRC et du démodulateur à filtre RII parallèle

La figure 3 représente clairement le circuit sous System Generator de la nouvelle architecture du CAN-MRC avec filtre démodulateur RII parallèle.

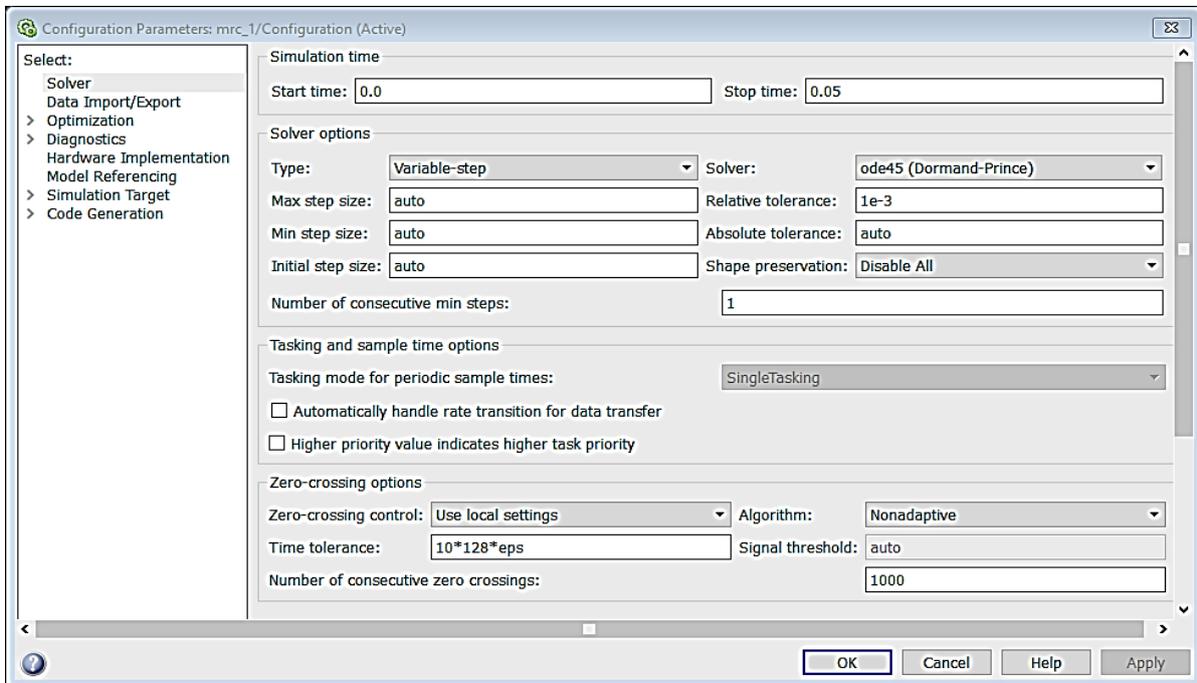


Fig. 4. Paramètres du solveur MATLAB utilisé sous Simulink

La figure 4 par contre, représente les paramètres du solveur MATLAB utilisé pour la simulation dans Simulink.

3 RESULTATS

Bien que d'autres méthodes de parallélisation soient présentées dans [20], [21], [22], [23] et [24]. L'application de la méthode analytique des résidus pour paralléliser le filtre RII utilisé nous a permis d'obtenir une nouvelle chaîne de démodulation numérique. Dans cette section, nous présentons le résultat de simulation numérique, de la nouvelle chaîne de conversion comprenant le modulateur MRC plus démodulateur RII parallèle, puis nous donnons les résultats de comparaisons entre la chaîne de conversion réalisée dans la littérature et la nouvelle chaîne proposée dans cet article.

3.1 DESCRIPTION DE L'ENVIRONNEMENT DE SIMULATION

Nous avons modélisé la nouvelle chaîne de conversion à l'aide de Simulink en utilisant les composants encore appelés blocksets dans le jargon Matlab-Simulink, de la bibliothèque Xilinx System Generator. Puis nous avons générés les sources VHDL qui peuvent être synthétisés par l'outil de synthèse Xilinx ISE 14.7. Nous avons simulé le modèle Simulink correspondant du filtre parallèle numérique, puis comparé les résultats à ceux obtenus avec la méthode que l'on trouve dans la littérature.

3.2 RESULTATS

3.2.1 RESULTATS DE SIMULATION DU CAN-MRC A FILTRE RII PARALLELE SOUS SYSTEM GENERATOR

Nous rappelons que, le solveur Simulink utilisé pour cette simulation est ODE45.

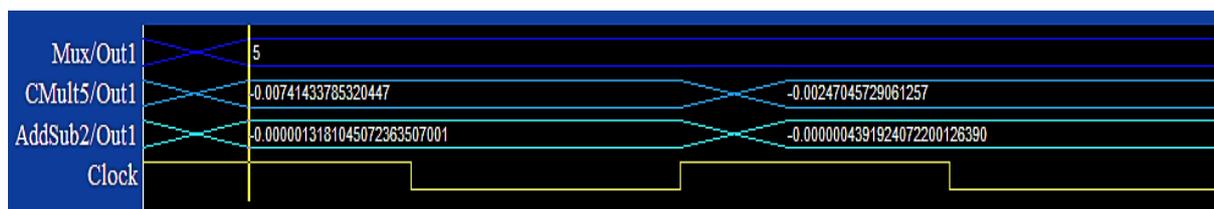


Fig. 5. Capture d'écran Wave scope de la simulation du démodulateur à filtre RII parallèle

La figure 5 nous présente la capture d'écran du WaveScope. Cette figure 5 nous confirme le fait que la démodulation a bien lieu avec le filtre RII parallèle.

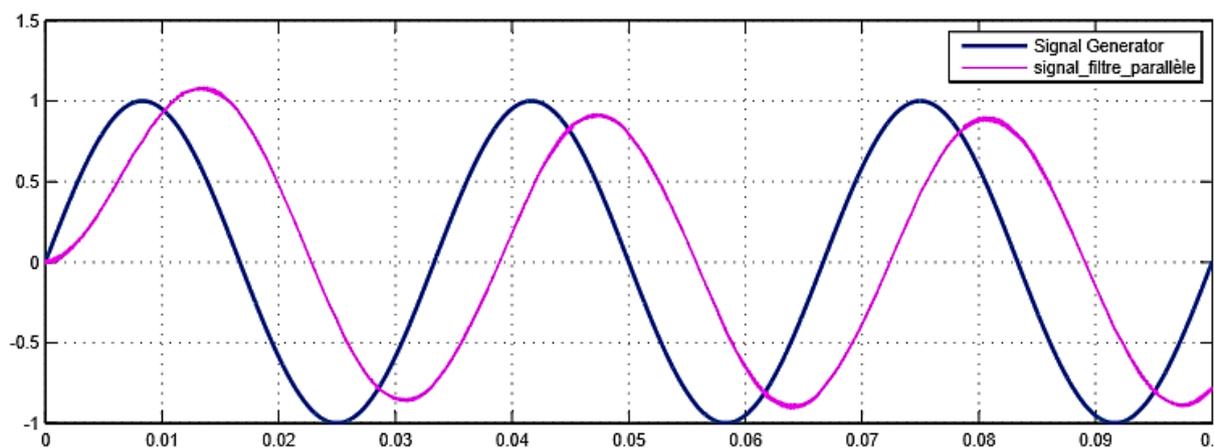


Fig. 6. Tracé superposé du signal d'entrée modulé et celui de la sortie démodulée avec filtre parallèle sous System Generator

La figure 6 nous présente le tracé superposé du signal d'entrée, et le tracé du signal de sortie démodulé avec le filtre parallèle. Nous mesurons une latence de 0.00625 s soit 6.25 ms pour un signal de fréquence 30 Hz. Les signaux sont bien reconnaissables.

Nous avons également simulé la chaîne de conversion classique ayant le filtre RII série afin de comparer nos résultats.

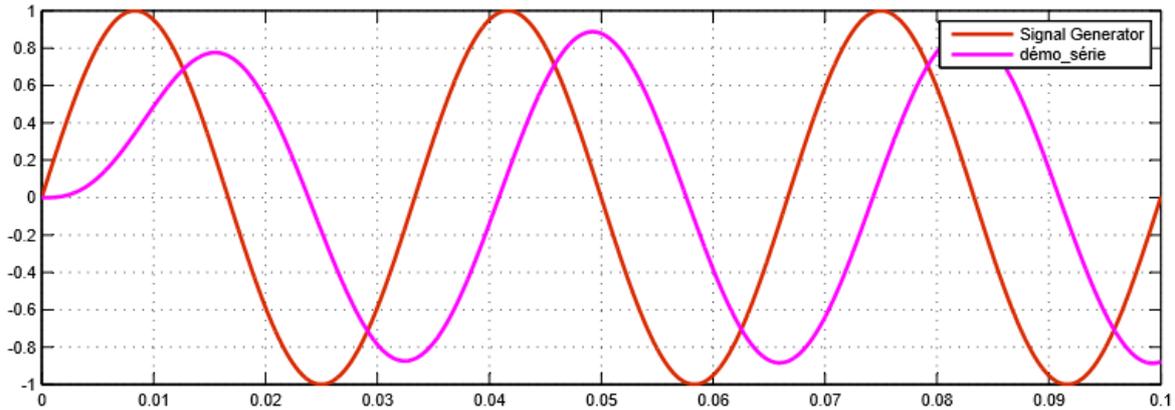


Fig. 7. Superposition du signal d'entrée et celui de la sortie sous Simulink

La figure 8 montre sur le même tracé, le signal d'entrée et le signal démodulé avec le filtre série en sortie. La latence dans ce cas est de 0.0079 s soit 7.9 ms pour un signal de fréquence 30 Hz.

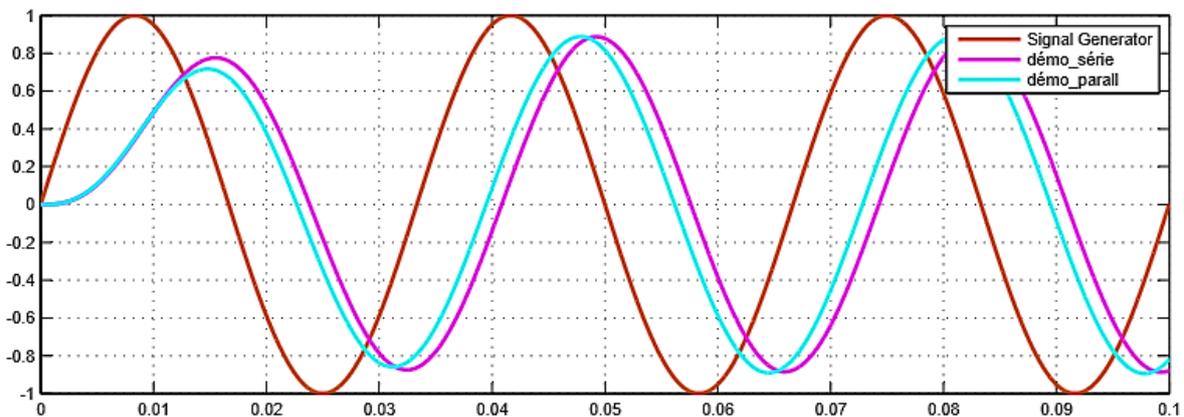


Fig. 8. Tracé comparatif de la CAN à MRC avec filtre séquentiel et filtre parallèle sous Simulink

La figure 8 présente les différents tracés que l'on obtient après simulation de nos deux chaînes de conversion dans Simulink. Ainsi, en vert nous avons le signal démodulé avec le filtre numérique parallèle; en violet, est représenté le signal démodulé avec le filtre numérique série; et en rouge c'est le signal modulant appliqué à l'entrée du modulateur.

3.2.2 RESULTATS DES GRANDEURS DE PERFORMANCES

L'implémentation des deux chaînes de conversion nous a permis de calculer leur:

- Différent taux de distorsion harmonique et nous avons obtenu:
 - ✓ Pour la chaîne parallèle, $THD_{\text{parallèle}} = 0.6099$;
 - ✓ Et pour la chaîne série on a, $THD_{\text{série}} = 0.621$;
- Différentes erreurs quadratiques, le calcul nous a donné:
 - ✓ Pour la chaîne parallèle, $RMS_{\text{parallèle}} = 0.8202$;
 - ✓ Pour la chaîne série, $RMS_{\text{série}} = 0.8789$;
- Différent rapport signal/bruit et nous avons obtenu:
 - ✓ Pour la chaîne parallèle, $SNR_{\text{parallèle}} = 1.715$ dB;
 - ✓ Pour la chaîne série, $SNR_{\text{série}} = 1.121$ dB.

3.2.3 RESULTATS DE L'UTILISATION DES RESSOURCES DANS XILINX ISE

Tableau 2. Rapport d'utilisation des ressources sur FPGA XC7A100T du CAN à MRC à filtre parallèle

N°	Slice Logic Utilization	Used	Utilization
01	Number used as Flip Flops	0	
02	Number of Slice LUTs	2,011	3%
03	Number of LUT Flip Flop pairs used	2,011	
04	Number with an unused Flip Flop	2,008	99%
05	Number with an unused LUT	0	0%
06	Number of fully used LUT-FF pairs	3	1%
07	Number of DSP48E1s	49	20%

Tableau 3. Rapport d'utilisation des ressources sur FPGA XC7A100T du CAN à MRC à filtre série

N°	Slice Logic Utilization	Used	Utilization
01	Number used as Flip Flops	200	
02	Number of Slice LUTs	2,455	3%
03	Number of LUT Flip Flop pairs used	2,487	
04	Number with an unused Flip Flop	2,287	91%
05	Number with an unused LUT	32	1%
06	Number of fully used LUT-FF pairs	168	6%
07	Number of DSP48E1s	58	24%

Les périodes minimales de fonctionnement du module démodulateur lorsqu'il est synthétisé dans le FPGA ARTIX XC7A100Tcsg324-3 sont:

- Pour la chaîne parallèle, $T_{\text{parallèle}} = 17.795$ ns soit une fréquence max de 56,2 MHz;
- Pour la chaîne série, $T_{\text{série}} = 23.344$ ns soit une fréquence max de 42,8 MHz.

4 DISCUSSION

Bien que l'implémentation du filtre de démodulation parallèle de la conversion ne soit pas très facile par rapport à l'implémentation du filtre série, il en ressort que la démodulation en parallèle est plus avantageuse. Il faut juste trouver comment rendre plus aisé cette implémentation.

Le calcul des gains et des constantes doit faire l'objet d'une très grande concentration car une erreur de calcul lors de l'implémentation que ce soit en série ou parallèle du filtre de démodulation, fausse totalement la démodulation du signal. Le calcul des résidus et la conception numérique du filtre parallèle est une phase importante et fondamentale pour l'élaboration dudit filtre.

4.1 COMMENTAIRES

- Il est établi que la démodulation est possible avec le filtre parallèle;
- Selon les tableaux 2 et 3, la démodulation avec ce filtre parallèle est plus économique en termes de ressources, par rapport à celle effectuée avec le filtre série de l'état de l'art;
- Le fait que $RMS_{\text{parallèle}} < RMS_{\text{série}}$ nous montre qu'en parallèle, nous gagnons car on utilise moins de ressources sans toutefois perdre en qualité du signal;
- Comme $THD_{\text{parallèle}} < THD_{\text{série}}$ alors, la conversion avec un filtre parallèle élimine plus les distorsions harmoniques par rapport à la conversion série;
- Le résultat selon lequel, $SNR_{\text{parallèle}} > SNR_{\text{série}}$, nous informe et nous confirme que le signal est meilleur en le démodulant avec le filtre démodulateur parallèle, contrairement à celle effectuée par le filtre démodulateur série;

- Nous avons aussi $T_{\text{parallèle}} < T_{\text{série}}$; de ce fait la démodulation à l'aide du filtre RII parallèle nous fait gagner 31% en fréquence de traitement;
- Il en ressort de l'exploitation de nos deux tableaux, qu'il est plus avantageux d'implémenter le filtre parallèle sur FPGA du fait de la concurrence des opérations.

5 CONCLUSION

Ces travaux avaient deux objectifs précis à savoir: se rassurer premièrement de la possibilité que la démodulation par convertisseur analogique/numérique à modulateur en rapport cyclique avec le filtre démodulateur parallélisé soit possible; et enfin, faire une comparaison objective entre la chaîne de démodulation avec filtre série de la littérature et la chaîne de démodulation avec filtre parallélisé implémenté dans cet article. L'exploitation des résultats nous amène à conclure par l'affirmative que, l'implémentation parallèle de notre filtre de démodulation est possible; la démodulation parallèle est plus avantageuse par rapport à celle série du fait que nous avons potentiellement un gain de débit de traitement d'environ **31%**, une réduction de la latence de **1,67** ms avec une amélioration du taux de distorsion harmonique de **1,82%**; l'élaboration du filtre démodulateur en parallèle exige deux étapes à savoir, l'implémentation en série du filtre puis sa transformation en un filtre parallèle; donc une étape supplémentaire. La suite de nos travaux devra inévitablement se concentrer sur la réalisation physique, la simplification et l'optimisation de la démodulation parallèle du convertisseur analogique/numérique à modulateur en rapport cyclique.

REMERCIEMENTS

Nos remerciements profonds vont à l'endroit:

- Du responsable du laboratoire du génie informatique et automatique de l'université de Douala, pour la possibilité qui m'ai donné au sein de son laboratoire de mener à bien mes travaux de recherche;
- Du recteur de l'université de Douala Cameroun, pour le fait de me permettre la réalisation de ces travaux qui rentre dans le cadre d'une thèse de doctorat.

REFERENCES

- [1] Jean Mbihi, François Ndjali Beng, Martin Kom, Léandre Nneme Nneme, 'A Novel Analog-to-digital conversion Technique using nonlinear duty-cycle modulation' International Journal of Electronics and Computer Science Engineering, 2008, p 818-825.
- [2] J. MBIHI, F. NDJALI BENG, M. KOM & L. NNEME NNEME, "A Novel Analog-to Digital Conversion Technique Using Nonlinear Duty-Cycle Modulation", International Journal of Electronics and Computer Science Engineering, vol.1, No. 3, pp. 818 – 825, 2012.
- [3] J. MBIHI, F. NDJALI BENG & M. MBOUENDA, "Modelling and simulation of a class of duty-cycle modulators for industrial instrumentation", Iranian Journal of Electrical and Computer engineering, Vol. 4, No. 2, pp. 121-128, 2005.
- [4] J. MBIHI & L. NNEME NNEME, "A Multi-Channel Analog-To-Digital Conversion Technique Using Parallel Duty-Cycle Modulation", International Journal of Electronics and Computer Science Engineering, vol.1, No. 3, pp. 826 – 833, 2012.
- [5] J. MBIHI & A. MOTTO, "Informatique industrielle – Instrumentation virtuelle assistée par ordinateur: Principes et techniques", Editions Ellipses, 240 pages, Paris 2012.
- [6] Otam Steve Ulriche, Gamom Ngounou E. R. Christian, Jean Mbihi, Moffo L. Bertrand "Conception et Co-Simulation sur Cible FPGA d'un Système d'Acquisition du Signal ECG par Modulation en Rapport Cyclique et Filtrage Dérivateur." IJIAS - International Journal Innovation and Applied Studies", Vol 31, pp. 795-807, 04 Janvier 2021.
- [7] OTAM Steve Ulriche, Moffo Lonla Bertrand, Gamom Ngounou E. R. Christian and Jean Mbihi, "A novel FPGA-Based Multi-Channel Signal Acquisition System Using Parallel Duty-Cycle Modulation and Applications to Biologic Signals: Design and Simulation", JEECCS - Journal of Electrical Engineering, Electronics, Control and Computer Science - Vol 7, Issue 24, pages 13-20, 2021.
- [8] Sonfack Gisèle Béatrice, Jean Mbihi, " FPGA-Based Analog-to-Digital Conversion via Optimal Duty-Cycle Modulation", Journal of Electrical and electronics Engineering, Jeece.
- [9] G. Sonfack and J. Mbihi and B. Lonla Moffo, "Optimal Duty-Cycle Modulation Scheme for Analog-To-Digital Conversion Systems", International Journal of Electrical, Computer, Energetic, Electronic and Communication Engineering", © World Academy of Science, Engineering and Technology. March 2017, vol. 123 (3). 348 – 354, March 2017. WASET/ORG/.

- [10] SONFACK Gisèle Béatrice, "Contribution à l'étude et au prototypage sur cible FPGA d'un nouveau type de convertisseur analogique-numérique par modulation en rapport cyclique optimal " Dschang, Cameroun: Thèse pour obtention du Doctorat/Ph.D en Physique 2019.
- [11] Léandre NNEME NNEME, Bertand Lonla MOFFO, Gisèle Béatrice SONFACK and Jean MBIHI, "A Review of Multipurpose Duty-cycle Modulation Technology in Electrical engineering and Industrial Electronics", Journal of Electrical Engineering, Electronics, Control and Computer Science", Vol. 4, Issue 12, pp. 9-18, 2018 JEECCS.
- [12] Léandre Nneme nneme, Jean Mbihi, "Virtual Simulation and Comparison of Sine Pulse Width and Sine Duty-Cycle Modulation drivers for Single Phase Power Inverters", JEECS - Journal of Electrical Engineering, Electronics, Control and Computer Science, Volume 6, Issue 21, Pages 31-38, 2020. JEECCS.
- [13] Bertrand LONLA MOFFO, Jean MBIHI, "A Novel Digital Duty-Cycle Modulation Scheme for FPGA-Based Digital-to-Analog Conversion", © IEEE Transactions on Circuits and Systems II, Vo. 62, N°6, pp. 543-547, June 2015, DOI: 10.1109/TCSII.2015.2407233 <https://ieeexplore.ieee.org/document/7047825/>.
- [14] Bertrand MOFFO LONLA, "Nouvelle technique de conversion N/A des signaux par modulation numérique en rapport cyclique et application en instrumentation virtuelle. Thèse pour obtention du Doctorat/Ph.D en informatique, 2016.
- [15] Leandre Nneme Nneme, Jean Mbihi "Modeling and simulation of a new duty-cycle modulation scheme for signal transmission systems", American Journal of Electrical and Electronic Engineering, 2014, Vol. 2, No. 3, 82-87.
- [16] Bertrand L. MOFFO, Jean MBIHI, Leandre N. NNEME, "FPGA-Based Multichannel Digital DutyCycle Modulation and Application to Simultaneous Generation of Analog Signals", Journal of Electronic Design Technology, Volume 8, Issue 1, pp. 23-35, Août (August) 2017, India, www.stmjournals.com.
- [17] Frédéric TRUCHETET "Traitement linéaire du signal numérique", Edition Hermès, Paris, Janvier 1998 P. 62 paragraphe 4.7.3.
- [18] JOHN J. SHYNK, MEMBER, IEEE " Adaptive IIR Filtering Using Parallel-Form Realizations " IEEE TRANSACTIONS ON ACOUSTICS, SPEECH, AND SIGNAL PROCESSING. VOL 37. NO. 4. APRIL 1989.
- [19] PRINCIPLES OF SIGNALS AND SYSTEMS [Online] Available: <http://www.yutub.com/> " iIR Filter: Parallel-Form-I&II " (April 21, 2021).
- [20] Balázs Bank, Member, IEEE "Converting Infinite Impulse Response Filters to Parallel Form" PUBLISHED IN THE IEEE SIGNAL PROCESSING MAGAZINE, VOL. 35, NO. 3, PP. 124–130, MAY 2018.
- [21] Juho Liski, Balázs Bank, Julius O. Smith, and Vesa Välimäki, "Converting Series Biquad Filters Into Delayed Parallel Form: Application to Graphic Equalizers" IEEE TRANSACTIONS ON SIGNAL PROCESSING, VOL. 67, NO. 14, JULY 15, 2019.
- [22] Balázs Bank "DIRECT DESIGN OF PARALLEL SECOND-ORDER FILTERS FOR INSTRUMENT BODY MODELING" Presented at the International Computer Music Conference, Proceedings Vol. I. pp. 458-465, Copenhagen, Denmark, Aug. 2007.: <https://www.researchgate.net/publication/265821595>.
- [23] B. Bank, "Converting infinite impulse response filters to parallel form, " IEEE Signal Process. Mag., vol. 35, no. 3, pp. 124–130, May 2018.
- [24] N. J. Bershad and P. L. Feintuch, "The recursive adaptive LMS filter-A line enhancer application and analytical model for the mean weight behavior, " IEEE Trans. Acoust., Speech, Signal Processing, vol. ASSP-28, pp. 652-660, Dec. 1980.